

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

03718383 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: **04-083483** [JP 4083483 A]

PUBLISHED: March 17, 1992 (19920317)

INVENTOR(s): MAEKAWA TOSHIICHI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 02-198442 [JP 90198442]

FILED: July 26, 1990 (19900726)

INTL CLASS: [5] H04N-005/66; G02F-001/133; G09G-003/36; H01L-027/12;
H01L-029/784

JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 29.2 (PRECISION
INSTRUMENTS -- Optical Equipment); 42.2 (ELECTRONICS -- Solid
State Components); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal

Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1228, Vol. 16, No. 303, Pg. 158, July
03, 1992 (19920703)

ABSTRACT

PURPOSE: To reduce the load of a scanning circuit, to reduce also the jumping of a clock signal and to obtain an excellent display image by setting up the channel length of plural horizontal switching elements and plural selection elements to a specific length.

CONSTITUTION: The channel length L of the horizontal switching elements $MH(\text{sub } 1)$ to $MH(\text{sub } m)$ for supplying signals to the 1st signal line and the selection elements $M(\text{sub } 11)$ to $M(\text{sub } nm)$ is set up to a value corresponding to about $1/3$ to $2/3$ the channel length of elements IP , IN , P , N constituting a scanning circuit (shift register 2) for driving the elements $MH(\text{sub } 1)$ to $MH(\text{sub } m)$. Consequently, the load of the scanning

circuit can be reduced, the degree of freedom in design can be increased, the jumping of a clock signal can also be reduced, and an excellent display image removing picture quality deterioration can be obtained.

?

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-83483

⑬ Int.Cl. ⁸	識別記号	庁内整理番号	⑭ 公開 平成4年(1992)3月17日
H 04 N 5/66	1 0 2 A	7205-5C	
G 02 F 1/133	5 5 0	8806-2K	
G 09 G 3/36		8621-5G	
H 01 L 27/12	A	7514-4M	
29/784			
H 04 N 5/66	1 0 2 B	7205-5C	
		9056-4M	
		H 01 L 29/78	3 1 1 A
		審査請求 未請求	請求項の数 1 (全7頁)

⑮ 発明の名称 液晶ディスプレイ装置

⑯ 特 願 平2-198442

⑰ 出 願 平2(1990)7月26日

⑱ 発 明 者 前 川 敏 一 東京都品川区北品川6丁目7番35号 ソニー株式会社内

⑲ 出 願 人 ソニー株式会社 東京都品川区北品川6丁目7番35号

⑳ 代 理 人 弁理士 松隈 秀盛

明 細 書

発明の名称 液晶ディスプレイ装置

特許請求の範囲

垂直方向に平行に配設された複数の第1の信号線と、水平方向に平行に配設された複数の第2の信号線とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子を介して液晶セルが設けられてなる液晶ディスプレイ装置において、

少なくとも上記第1の信号線に信号を供給する水平スイッチング素子と上記選択素子のチャンネル長を、少なくとも上記水平スイッチング素子を駆動する走査回路を構成する素子のチャンネル長の $1/3 \sim 2/3$ 前後の大きさとなるようにしたことを特徴とする液晶ディスプレイ装置。

発明の詳細な説明

(産業上の利用分野)

本発明は、例えば液晶表示素子をX-Yマトリクス状に配置すると共に、走査回路を内蔵して画像の表示を行う液晶ディスプレイ装置に関する。

(発明の概要)

本発明は液晶ディスプレイ装置に関し、水平スイッチング素子と選択素子のチャンネル長を、走査回路を構成する素子のチャンネル長の $1/3 \sim 2/3$ 前後の大きさとなるようにすることによって、走査回路の負荷を軽減して回路設計の自由度を増すと共に、クロック信号の飛び込みも低減して、良好な表示画像が得られるようにしたものである。

(従来の技術)

例えば液晶を用いてテレビ画像を表示することが提案(特開昭59-220793号公報等参照)されている。

すなわち第6図において、(1)はテレビの映像信号が供給される入力端子であって、この入力端子(1)からの信号がそれぞれ例えばC-MOSFETからなるスイッチング素子 $M_{11}, M_{12}, \dots, M_{1m}$ を通じて垂直(Y軸)方向のライン $L_{11}, L_{12}, \dots, L_{1m}$ に供給される。なおmは水平(X軸)方向の画素数に相当する数である。

さらに水平走査回路として m 段のシフトレジスタ(2)が設けられ、このシフトレジスタ(2)に水平周波数の m 倍のクロック信号 ϕ_{1n} 、 ϕ_{2n} が供給され、このクロック信号 ϕ_{1n} 、 ϕ_{2n} によって順次走査される駆動パルス信号 ϕ_{n1} 、 ϕ_{n2} 、 \dots 、 ϕ_{nm} がシフトレジスタ(2)の各出力端子から取り出されて、スイッチング素子 M_{n1} ～ M_{nm} の各制御端子に供給される。なおシフトレジスタ(2)には低電位(V_{ss})と高電位(V_{DD})が供給され、この2つの電位の駆動パルスが形成される。

また各ライン L_{n1} ～ L_{nm} にそれぞれ例えば N チャンネルFETからなるスイッチング素子 M_{11} 、 M_{21} 、 \dots 、 M_{n1} 、 M_{12} 、 M_{22} 、 \dots 、 M_{n2} 、 M_{1n} 、 M_{2n} 、 \dots 、 M_{nn} の一端が接続される。なお n は水平走査線数に相当する数である。このスイッチング素子 M_{11} ～ M_{nn} の他端がそれぞれ液晶セル C_{11} 、 C_{21} 、 \dots 、 C_{nn} を通じてターゲット端子(3)に接続される。

さらに垂直走査回路として n 段のシフトレジスタ(4)が設けられ、このシフトレジスタ(4)に水平周

波数のクロック信号 ϕ_{1v} 、 ϕ_{2v} が供給され、このクロック信号 ϕ_{1v} 、 ϕ_{2v} によって順次走査される駆動パルス信号 ϕ_{v1} 、 ϕ_{v2} 、 \dots 、 ϕ_{vn} がシフトレジスタ(4)の各出力端子から取り出されて水平(X軸)方向のゲート線 G_{v1} 、 G_{v2} 、 \dots 、 G_{vn} に供給され、このゲート線 G_{v1} ～ G_{vn} を通じてスイッチング素子 M_{11} ～ M_{nn} のX軸方向の各列(M_{11} ～ M_{1n})、(M_{21} ～ M_{2n})、 \dots 、(M_{n1} ～ M_{nn})ごとの制御端子にそれぞれ供給される。なお、シフトレジスタ(4)にもシフトレジスタ(2)と同様に V_{ss} と V_{DD} が供給される。

すなわちこの回路において、シフトレジスタ(2)、(4)には第7図A、Bに示すようなクロック信号 ϕ_{1n} 、 ϕ_{2n} 、 ϕ_{1v} 、 ϕ_{2v} が供給される。そしてシフトレジスタ(2)からは同図Cに示すように各画素期間ごとに ϕ_{n1} ～ ϕ_{nm} が出力され、シフトレジスタ(4)からは同図Dに示すように1水平期間ごとに ϕ_{v1} ～ ϕ_{vn} が出力される。さらに入力端子(1)には同図Eに示すような信号が供給される。

そして ϕ_{v1} 、 ϕ_{n1} が出力されているときは、ス

スイッチング素子 M_{n1} と M_{11} ～ M_{1n} がオンされ、入力端子(1)→ M_{n1} → L_{n1} → M_{11} → C_{11} →ターゲット端子(3)の電流路が形成されて液晶セル C_{11} に入力端子(1)に供給された信号とターゲット端子(3)との電位差が供給される。このためこのセル C_{11} の容量分に、1番目の画素の信号による電位差に相当する電荷がサンプルホールドされる。この電荷量に対応して液晶の光透過率が変化される。これと同様のことがセル C_{12} ～ C_{nn} について順次行われ、さらに次のフィールドの信号が供給された時点で各セル C_{11} ～ C_{nn} の電荷量が書き換えられる。

このようにして、映像信号の各画素に対応して液晶セル C_{11} ～ C_{nn} の光透過率が変化され、これが順次繰り返されてテレビ画像の表示が行われる。

なお液晶で表示を行う場合には、一般にその信頼性を向上させ、寿命を長くするために交流駆動が用いられる。このため入力端子(1)には、例えば上述図示のように、テレビ画像の表示において1フィールドまたは1フレームごとに映像信号を反転させた信号が供給されている。

(発明が解決しようとする課題)

ところでこのような装置において、入力端子(1)に供給される映像信号は第8図に示すようにスイッチング素子 M_n を通じて垂直信号ライン L_n に供給されている。

ところがこの場合に、垂直信号ライン L_n の配線容量 C_n は、例えば20pF程度と大きい。このため例えば ϕ_n の期間に垂直信号ライン L_n の配線容量 C_n を映像信号で十分に駆動(充電)しようとする、スイッチング素子 M_n のオン抵抗は相対的に低くしなければならない。これはさらに水平の画素数を多くする場合には ϕ_n の期間が短くなるために、オン抵抗は一層低くしなければならない。

なお1水平期間の長さを T_n 、水平画素数を N としたとき、必要なオン抵抗 R_{on} は

$$R_{on} C_n \leq 4 (T_n / N) \quad \dots\dots (1)$$

をみたす程度でなければならない。

一方、スイッチング素子のチャンネル長及びチャンネル幅を L 、 W とすると

$R_{on} \propto L/W$ (2)
である。

ここで従来は、 L の大きさは所謂マスクルールによって全素子が一定に規定されており、従って低いオン抵抗の素子を得るためには、 W を大きくする必要があった。

しかしながらこのように W を大きくした場合には、ゲート容量の増加によるシフトレジスタ(2)の駆動負荷の増加や、ゲート容量を介してのクロック信号の垂直信号ラインへの飛び込み等の問題を生じさせるものであった。

すなわち第9図において、図示のようなサンプリングパルス ϕ_n 、 $\overline{\phi_n}$ がスイッチング素子 M_n に供給されると、垂直信号ライン L_n の配線容量 C_n の保持電位 V_{hold} が実線で示すように変化されて、入力端子(1)に供給された信号電位 V_{in} が配線容量 C_n に保持される。

ところがこの図において、サンプリングパルス ϕ_n の立ち下りの部分で例えば波高値から $V_{in} + V_{thn}$ (V_{thn} はN型素子 M_n のスレシヨルド電圧)

までの変化がN型素子 M_n のゲート・ソースまたはゲート・ドレイン間のオーバーラップ容量を介して配線容量 C_n に飛び込み、またサンプリングパルス $\overline{\phi_n}$ の立ち上りの部分で例えば波底値から $V_{in} - V_{thp}$ (V_{thp} はP型素子 M_{np} のスレシヨルド電圧)までの変化がP型素子 M_{np} のゲート・ソースまたはゲート・ドレイン間のオーバーラップ容量を介して配線容量 C_n に飛び込む。このためこれらの飛び込み信号の差分によって、図中に示すように保持電位 V_{hold} が変動されてしまうものであった。

また負荷の増加によってこれを駆動するシフトレジスタ(2)の回路規模が大きくなり、占有面積が増大して、装置全体の設計の自由度が失われてしまうおそれもあった。

この出願はこのような点に鑑みてなされたもので、走査回路の負荷を軽減して回路設計の自由度を増すと共に、クロック信号の飛び込みも低減して、良好な表示画像が得られるようにするものである。

〔課題を解決するための手段〕

本発明は、垂直方向に平行に配設された複数の第1の信号線(ライン $L_{n1} \sim L_{nm}$)と、水平方向に平行に配設された複数の第2の信号線(ゲート線 $G_{p1} \sim G_{pn}$)とが設けられ、これらの第1、第2の信号線の各交点にそれぞれ選択素子($M_{n1} \sim M_{nm}$)を介して液晶セル($C_{n1} \sim C_{nm}$)が設けられてなる液晶ディスプレイ装置において、少なくとも上記第1の信号線に信号を供給する水平スイッチング素子($M_{n1} \sim M_{nm}$)と上記選択素子のチャンネル長(L)を、少なくとも上記水平スイッチング素子を駆動する走査回路(シフトレジスタ(2))を構成する素子(I P, I N, P, N)のチャンネル長の $1/3 \sim 2/3$ 前後の大きさとなるようにしたことを特徴とする液晶ディスプレイ装置である。

〔作用〕

これによれば、水平スイッチング素子と選択素子のチャンネル長を走査回路を構成する素子のチ

ャンネル長の $1/3 \sim 2/3$ 前後の大きさとなるようにしたことによって、走査回路の負荷が軽減されて設計の自由度が増されると共に、クロック信号の飛び込みも低減させることができ、またこれらの水平スイッチング素子及び選択素子に掛かる電圧は電源電圧よりも小さいのでパンチスルーやリークの発生する恐れも少なく、簡単な構成で装置の信頼性を向上させることができると共に、画質劣化のない良好な表示画像を得ることができる。

〔実施例〕

第1図において、この図では水平走査回路となるシフトレジスタ(2)の構成が一例として具体的に示されており、このシフトレジスタ(2)の構成でI P, I N, P, Nはそれぞれインバート及びこれをクロック化するためのスイッチング素子を構成するC-MOSFETを示している。

そして例えば左端の入力端子(11)には水平走査のスタード(同期)信号 H_0 が供給され、このスタート信号 H_0 が初段の第1のインバート I_{n1} を

構成する素子 IP_{10} , IN_{10} のゲートに供給される。このインバータ I_{10} の出力が第2のインバータ I_{12} を構成する素子 IP_{12} , IN_{12} のゲートに供給され、このインバータ I_{12} の入出力端に得られる信号がスイッチング素子 M_{n1} を構成する CMOSFET の両ゲートに供給される。このインバータ I_{12} の出力が第3のインバータ I_{13} を構成する素子 IP_{13} , IN_{13} のゲートに供給され、このインバータ I_{13} の出力がインバータ I_{12} の入力端に帰還されてラッチ回路が構成される。

さらにこれらの素子 IP , IN が V_{DD} , V_{SS} への電源ライン間に設けられると共に、インバータ I_{10} , I_{12} を構成する素子 IP_{10} , IN_{10} , IP_{12} , IN_{12} に直列にスイッチング素子 P_{10} , N_{10} , P_{12} , N_{12} が設けられ、これらのスイッチング素子 P_{10} , N_{10} , P_{12} , N_{12} のゲートに互いに逆相のクロック信号 ϕ_{10} , ϕ_{12} が相互に反転して供給される。

以上の回路を1段としてこの回路が順次継続して設けられる。そしてこの各段ごとにクロック信号 ϕ_{1n} , ϕ_{1n} が相互に反転して供給されることに

よって、入力端子(1)に供給されたスタート信号 H_s が順次シフトされ、駆動パルス信号 ϕ_{n1} , ϕ_{n2} , \dots , ϕ_{nm} が形成され、これらの駆動パルス信号 ϕ_{n1} , ϕ_{n2} , \dots , ϕ_{nm} がそれぞれスイッチング素子 M_{n1} , M_{n2} , \dots , M_{nm} のゲートに供給される。

なおスイッチング素子 M_{n1} , M_{n2} , \dots , M_{nm} から下の回路は従来技術の説明で述べた回路と同様である。

そしてこの装置において、水平スイッチング素子 $M_{n1} \sim M_{nm}$ 及び選択素子 $M_{11} \sim M_{1n}$ と、シフトレジスタ(2)を構成する素子 IP , IN , P , N のマスクルールを違えて、水平スイッチング素子 $M_{n1} \sim M_{nm}$ 及び選択素子 $M_{11} \sim M_{1n}$ のチャンネル長 L が、シフトレジスタ(2)を構成する素子 IP , IN , P , N のチャンネル長の $1/2 \sim 2/3$ 前後の大きさとなるように装置の形成を行う。

すなわち上述の装置において、入力端子(1)を通じて水平スイッチング素子 $M_{n1} \sim M_{nm}$ に供給される映像信号は、例えば第2図に示すようにテレビ画像の表示において1フィールドごとに反転され

た信号になっている。そこでこの各フィールドにおいて、映像信号 V_{sig} の変化は、それぞれ

$$V_{con} \leq V_{sig} \leq V_{pn} \quad \dots\dots(3)$$

$$V_{pl} \leq V_{sig} \leq V_{con} \quad \dots\dots(4)$$

但し、 V_{con} はターゲット電圧

$$V_{pn} \sim V_{pl} \text{ は反転信号の振幅}$$

の範囲である。

従って素子 M_n を構成する素子 M_{nn} , M_{np} のソース・ドレイン間には、例えば第3図に示すように映像信号 V_{sig} と、配線容量 C_n の保持電位 V_{hold} が印加されることになり、ここで上述の(3)式が成立する期間では、 $V_{con} \leq V_{sig}$, $V_{hold} \leq V_{pn}$ となることから

$$|V_{ss}| = V_{pn} - V_{con} \quad \dots\dots(5)$$

となる。また上述の(4)式が成立する期間では、 $V_{pl} \leq V_{hold}$, $V_{sig} \leq V_{con}$ となることから

$$|V_{ss}| = V_{con} - V_{pl} \quad \dots\dots(6)$$

となる。

そしてこの場合に、例えば $V_{DD} = 15[V]$, $V_{SS} = 0[V]$, $V_{con} = 7.5[V]$, $V_{pn} = 12.5[V]$,

$V_{pl} = 2.5[V]$ とすると、シフトレジスタ(2)を構成する素子 IP , IN , P , N には、 V_{DD} , V_{SS} が直接印加され、

$$|V_{ss}|_{max} = V_{DD} - V_{SS} = 15[V]$$

の電圧を保証する必要があるのに対して、スイッチング素子 $M_{n1} \sim M_{nm}$ 及び選択素子 $M_{11} \sim M_{1n}$ には上述の(5)(6)式から、

$$|V_{ss}|_{max} = 5.0[V]$$

の電圧を保証するだけでよい。

また上述の装置において、チャンネル長 L を小さくした場合には、第4図A, Bに比較して示すように、ドレイン・ソース間が全て空乏化することによるパンチスルーが生じ易くなるが、同図Bにおいて $V_{SS} = 5.0[V]$ は図中に破線で示す位置にあり、上述の構成ではパンチスルーが生じる恐れはない。

さらに上述の装置において、素子のオフ特性に相当するゲート・ソース間電圧がマイナスの領域におけるリーク(オフリーク)は、第5図A, Bに比較して示すように、チャンネル長 L の大きさ

によらないことが知られている。

従って上述の装置において、水平スイッチング素子 $M_{11} \sim M_{nn}$ 及び選択素子 $M_{11} \sim M_{nn}$ のチャンネル長 l を、シフトレジスタ(2)を構成する素子 $1P, 1N, P, N$ のチャンネル長の $1/2 \sim 3/2$ 前後の大きさとなるように装置の形成を行うことができる。

こうしてこの装置によれば、水平スイッチング素子と選択素子のチャンネル長を走査回路を構成する素子のチャンネル長の $1/2 \sim 3/2$ 前後の大きさとなるようにしたことによって、走査回路の負荷が軽減されて設計の自由度が増されると共に、クロック信号の飛び込みも低減させることができ、またこれらの水平スイッチング素子及び選択素子に掛かる電圧は電源電圧よりも小さいのでパンチスルーやリークの発生する恐れも少なく、簡単な構成で装置の信頼性を向上させることができると共に、画質劣化のない良好な表示画像を得ることができるものである。

なおこの装置は、サンプリング手段、ゲート回

路、シフトレジスタ等をオンチップ化した液晶ディスプレイ装置に適用されるものである。

〔発明の効果〕

この発明によれば、水平スイッチング素子と選択素子のチャンネル長を走査回路を構成する素子のチャンネル長の $1/2 \sim 3/2$ 前後の大きさとなるようにしたことによって、走査回路の負荷が軽減されて設計の自由度が増されると共に、クロック信号の飛び込みも低減させることができ、またこれらの水平スイッチング素子及び選択素子に掛かる電圧は電源電圧よりも小さいのでパンチスルーやリークの発生する恐れも少なく、簡単な構成で装置の信頼性を向上させることができると共に、画質劣化のない良好な表示画像を得ることができるようになった。

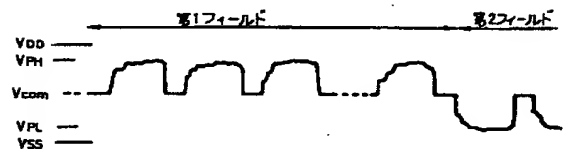
図面の簡単な説明

第1図は本発明による液晶ディスプレイ装置の一例の構成図、第2図は入力信号の波形図、第3図はスイッチング素子の説明のための構成図、第

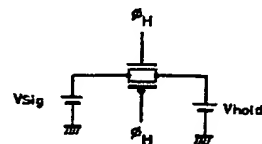
4図、第5図は素子の説明のための特性図、第6図は従来の液晶ディスプレイ装置の構成図、第7図はそのタイミングチャート図、第8図は信号入力等の等価回路図、第9図は課題の説明のための波形図である。

M は水平スイッチング素子及び選択素子を構成するスイッチング素子、 $1P, 1N, P, N$ はシフトレジスタを構成する素子、 L は垂直信号線、 G はゲート線、 C は液晶セル、(1)(3)(11)は端子、(2)(4)はシフトレジスタである。

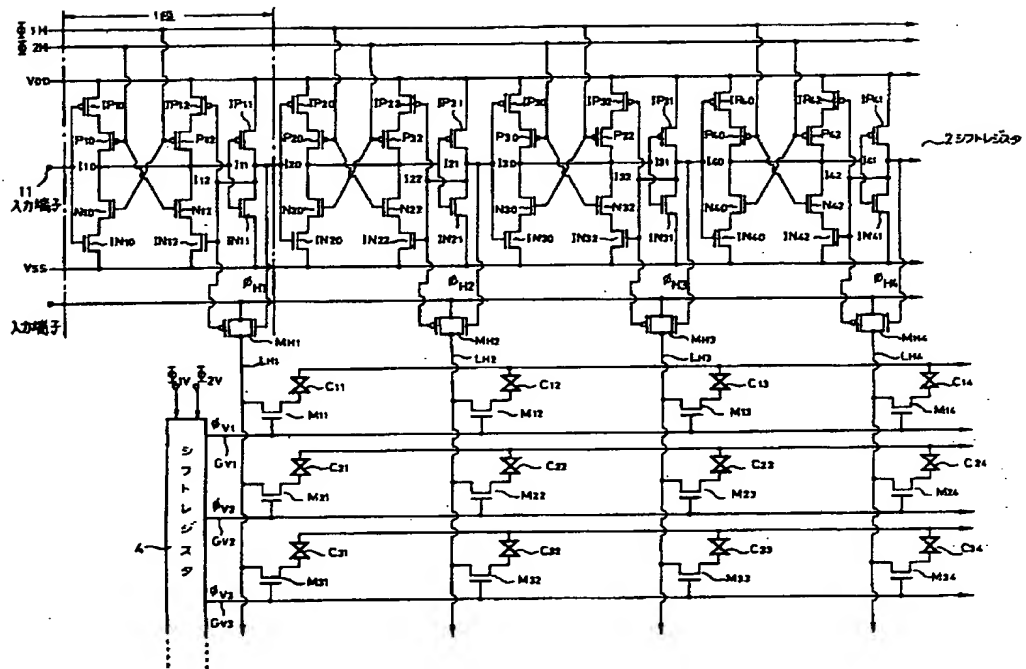
代理人 松隈秀盛



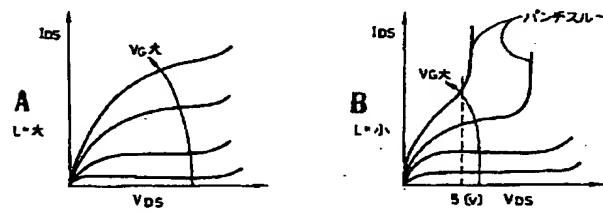
波形図
第2図



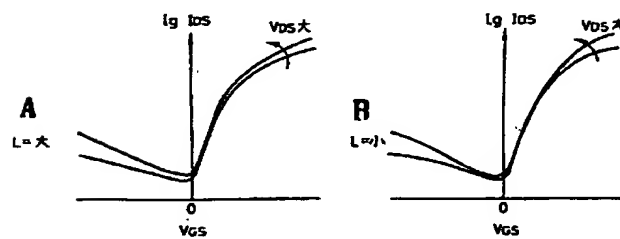
説明図
第3図



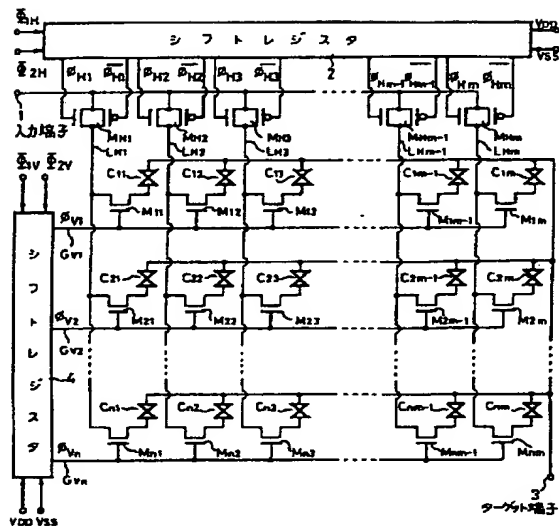
実施例の構成図
図1



特性図
図4

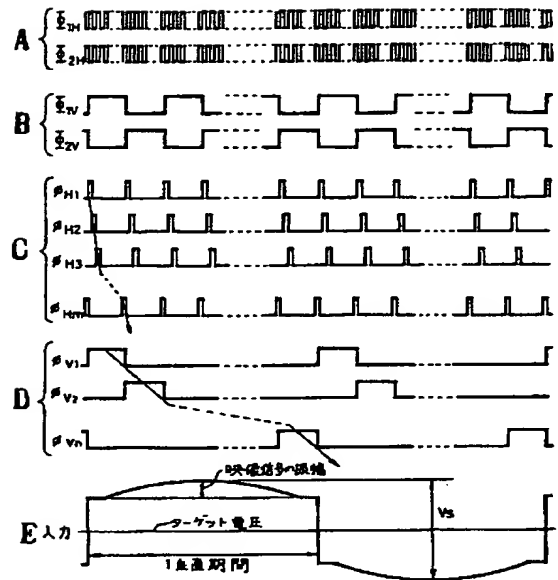


特性図
図5



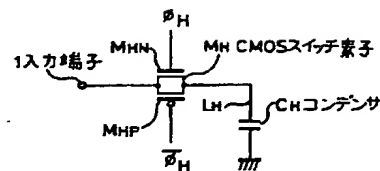
従来技術の配線図

第 6 図



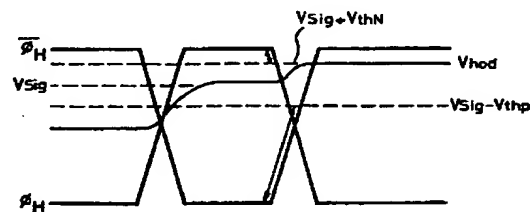
タイムチャート

第 7 図



入力信号の特価回路図

第 8 図



動作の説明

第 9 図